

【特許請求の範囲】

【請求項1】 マトリクス状に配置された複数の表示画素、前記複数の表示画素の行間に配置された複数の行電極、前記複数の表示画素の列間に配置された複数の列電極、前記行電極に供給される行選択信号により前記列電極と前記表示画素間を導通させて前記列電極に供給された映像信号を前記表示画素に書き込む複数の画素選択素子を備え、各列の前記表示画素が前記画素選択素子を介して、それぞれ両側の前記列電極の一方又は他方と一つおきに交互に接続された表示装置の駆動方法において、外部から供給されたシリアルな映像信号を2画素単位で並べ替えて極性毎のシリアルな映像信号とする処理と、前記並べ替えられた極性毎のシリアルな映像信号を極性毎の出力順に応じたパラレルな映像信号に並べ替える処理と、

を含むことを特徴とする表示装置の駆動方法。

【請求項2】 前記パラレルな映像信号に並べ替える処理には、前記シリアルな映像信号の入力に対するパラレルな映像信号の出力順を変更する処理が含まれることを特徴とする請求項1に記載の表示装置の駆動方法。

【請求項3】 前記パラレルな映像信号に並べ替える処理に続いて、前記パラレルな映像信号のデータ形式をデジタルからアナログに変換することを特徴とする請求項1又は2に記載の表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、ポリシリコンTFTで構成されたアクティブマトリクス型液晶表示装置の駆動方法に関する。

【0002】

【従来の技術】 ポリシリコンTFTで構成されたアクティブマトリクス型液晶表示装置においては、ガラス基板上の信号バスラインに映像信号を供給し、一定時間毎に複数の列電極に振り分けている。例えば、Vライン反転駆動では1フレーム毎に隣り合う列電極の電位が逆極性となるような振り分けが行われている。

【0003】 上記のようなVライン反転駆動による液晶表示装置では、中間調背景に黒いウィンドウを表示したときに、ウィンドウ画面の上下に現れるクロストーク（以下、縦ストローク）が問題となっている。この縦ストロークを改善する方法の一つとして、例えば特公昭63-48077号公報には疑似HV反転駆動による液晶ディスプレイ装置が開示されている。

【0004】

【発明が解決しようとする課題】 上記のような疑似HV反転駆動を実現するためには、一水平周期毎に映像信号の出力順を並べ替える必要がある。しかしながら、このような映像信号の出力順の並べ替えを、すべてタイミングコントローラICで行った場合は、タイミングコントローラIC内のメモリの容量を大きくする必要があり、

消費電力の増加並びにICのチップサイズの増大によるコストアップが避けられないという問題を生じることになる。

【0005】 なお、タイミングコントローラICとは、外部から供給されたR（赤）、G（緑）、B（青）の各色毎のシリアルな映像信号を極性毎のシリアルな映像信号に変換する処理等を行っている制御回路である。ここで並べ替えられた映像信号はD/Aコンバータでデジタル→アナログ変換された後、列電極の駆動回路に出力される。

【0006】 この発明の目的は、タイミングコントローラIC内のメモリの容量を大きくすることなしに、疑似HV反転駆動を実現することができる表示装置の駆動方法を提供することにある。

【0007】

【課題を解決するための手段】 上記課題を解決するため、請求項1の発明は、マトリクス状に配置された複数の表示画素、前記複数の表示画素の行間に配置された複数の行電極、前記複数の表示画素の列間に配置された複数の列電極、前記行電極に供給される行選択信号により前記列電極と前記表示画素間を導通させて前記列電極に供給された映像信号を前記表示画素に書き込む複数の画素選択素子を備え、各列の前記表示画素が前記画素選択素子を介して、それぞれ両側の前記列電極の一方又は他方と一つおきに交互に接続された表示装置の駆動方法において、外部から供給されたシリアルな映像信号を2画素単位で並べ替えて極性毎のシリアルな映像信号とする処理と、前記処理で並べ替えられた極性毎のシリアルな映像信号を極性毎の出力順に応じたパラレルな映像信号に並べ替える処理とを含むことを特徴とする。

【0008】 好ましい形態として、前記表示装置は、前記行電極に行選択信号を供給する行電極駆動回路と、前記列電極に1本おきに逆極性の映像信号を供給し、且つ前記映像信号の極性と出力順を所定周期で切り替える列電極駆動回路と、外部から供給されたシリアルな映像信号を極性毎のシリアルな映像信号に並べ替えるタイミングコントローラICと、前記並べ替えられた映像信号をパラレルな映像信号に並べ替え、且つ前記映像信号のデータ形式をデジタルからアナログに変換するD/Aコンバータとを備え、前記外部から供給されたシリアルな映像信号を2画素単位で並べ替えて極性毎のシリアルな映像信号とする処理を前記タイミングコントローラで実行し、前記処理で並べ替えられた極性毎のシリアルな映像信号を極性毎の出力順に応じたパラレルな映像信号に並べ替える処理を前記D/Aコンバータで実行することを特徴とする。

【0009】 請求項2の発明は、請求項1において、前記パラレルな映像信号に並べ替える処理には、前記シリアルな映像信号の入力とパラレルな映像信号の出力順との関係を変更する処理が含まれることを特徴とする。

【0010】好ましい形態として、前記パラレルな映像信号に並べ替える処理には、通常モードと信号切替モードが設定され、通常モードでは、前記シリアルな映像信号をRGBの各入力順に並べ替えを行い、信号切替モードでは、前記RGBの各入力順に並べ替えを行う際に、DAC入力信号に対するDAC出力信号の出力ピンの関係を1ピンシフトすることを特徴とする。

【0011】請求項3の発明は、請求項1又は2において、前記パラレルな映像信号に並べ替える処理に続いて、前記パラレルな映像信号のデータ形式をデジタルからアナログに変換することを特徴とする。

【0012】

【発明の実施の形態】以下、この発明に係わる表示装置の駆動方法を、疑似HV反転駆動により表示を行う液晶表示装置の駆動方法に適用した場合の実施形態について説明する。ただし、本実施形態では、画面を4分割して、それぞれのブロックに8画素ずつ同時にアナログ信号を書き込む場合を例として説明する。

【0013】図4は、本実施形態に係わる液晶表示装置の回路構成図である。この液晶表示装置100は、複数の表示画素10が形成された表示画素部110、行電極駆動回路120、列電極駆動回路130、DAC140、DAC150及びタイミングコントローラIC160により構成されている。

【0014】ここでは、表示画素部110、行電極駆動回路120及び列電極駆動回路130が図示しないアレ基板上に一体に形成された駆動回路内蔵型の液晶表示装置として説明するが、行電極駆動回路120及び列電極駆動回路130は、DAC140、150及びタイミングコントローラIC160と同じく、図示しない外部駆動回路基板上に配置された構成であってもよい。

【0015】表示画素部110は、マトリクス状に配置された複数の表示画素10により構成されている。この複数の表示画素10の列間には、それぞれ列電極11が配置され、また行間には、それぞれ行電極12が配置されている。そして、両電極の各交差部には画素選択素子としての画素スイッチ(TFT)13が配置されている。

【0016】各列の画素スイッチ13は、疑似HV反転駆動を行うために、それぞれ両側にある列電極11の一方又は他方と一つおきに交互に接続されている。画素スイッチ13のソース電極は列電極11に接続され、ドレイン電極はマトリクス状に配置された画素電極14に接続されている。後述する行電極駆動回路120から画素スイッチ13のゲート電極に行選択信号が印加されると、行電極12と画素電極14間が導通して、列電極11にサンプリングされたアナログの映像信号が画素電極14に書き込まれる。

【0017】一方、画素電極14と相対して配置される対向電極15は、図示しない対向基板上に形成されてい

る。この対向電極15には、コモン配線17を通じて図示しないコモン回路(又はタイミングコントローラIC160)から一定のコモン電圧が供給されている。また、画素電極14と対向電極15との間には液晶層16が保持されている。なお、画素電極14には、対向電極15との電位関係を安定させるために図示しない補助容量が電氣的に並列に接続されている。

【0018】行電極駆動回路120は、図示しないシフトレジスタ及びバッファ回路などで構成され、タイミングコントローラIC160から供給される垂直クロック信号及び垂直スタート信号に基づいて、各行電極12に行選択信号を供給する。

【0019】列電極駆動回路130は、図示しないシフトレジスタ、信号バスライン及びアナログスイッチなどで構成されている。アナログスイッチは画素スイッチ13と同じTFTで構成され、そのソース電極は前記信号バスラインに、ドレイン電極は列電極11に、またゲートは前記シフトレジスタの出力にそれぞれ接続されている。前記シフトレジスタは、タイミングコントローラIC160から供給される水平クロック信号及び水平スタート信号に基づいて列選択信号を出力する。この列選択信号が前記アナログスイッチのゲート電極に印加されると、前記信号バスラインと列電極11間が導通して、前記信号バスラインに供給されたアナログの映像信号が列電極11にサンプリングされる。ここでは、疑似HV反転駆動を行うために、列電極11には1本おきに逆極性の映像信号が供給されると共に、各列電極11に供給される映像信号の極性は1フレームごとに反転され、また信号の出力順は1水平走査期間(1H)ごとに切り替えられている。列電極11に供給される映像信号の極性と出力順については後に説明する。

【0020】タイミングコントローラIC160は、外部から供給されたシリアルな映像信号(コントローラ入力信号)を、後述するように2画素単位で並べ替えて極性毎のシリアルな映像信号として出力する。また、同じく外部から供給された基準クロック信号に基づいて、行電極駆動回路120や列電極駆動回路130を駆動するための各種クロック信号やスタート信号などを生成して出力する。

【0021】本実施形態では、先に述べたように分割した1ブロックに8画素ずつ同時にアナログの映像信号を書き込むようにしているため、タイミングコントローラIC160には、8画素分のR(赤)、G(緑)、B(青)の各映像信号がそれぞれ3系統でシリアル入力される。なお、一画素はR、G、Bの3つのサブ画素で構成されており、8画素分の映像信号(24の信号入力)として、RはR1、R2…R8、GはG1、G2…G8、BはB1、B2…B8がシリアル入力される。タイミングコントローラIC160での映像信号の並べ替えについては後に具体例と共に説明する。

【0022】DAC（正極性）140、DAC（負極性）150は、タイミングコントローラIC160から出力された正極性、負極性の映像信号のデータ形式をそれぞれデジタルからアナログに変換して、列電極駆動回路130の図示しない信号バスラインに供給する。各DACは、入力した映像信号を一時的に保持する図示しないラッチ回路と、データ形式をデジタルからアナログに変換するDAC本体回路などで構成されている。

【0023】本実施形態では、タイミングコントローラIC160で並べ替えられた極性毎のシリアルな映像信号（DAC入力信号）を前記ラッチ回路で順次ラッチし、極性毎の出力順に応じたパラレルな映像信号に並べ替えた後、前記DAC本体回路でデータ形式をデジタルからアナログに変換し、パラレルな映像信号（DAC出力信号）として同時に出力している。なお、出力順とは、パラレルに出力される映像信号の並び順をいう。

【0024】上記のような映像信号の並べ替えでは、後述する通常モードと信号切替モードの2つのモードがある。通常モードが設定されている時は、RGBの各入力順に映像信号の並べ替えが行われ、信号切替モードが設定されている時は、前記並べ替えを行う際に、DAC入力信号に対するDAC出力信号の出力ピンの関係を1ピンシフトする処理を行っている。この2つのモードでの並べ替えについては後に説明する。

（A）奇数フレーム

奇数書き込みライン

正極性のDAC出力信号（P）：R1, B1, G2, R3, B3, G4, R5, B5, G6, R7, B7, G8

負極性のDAC出力信号（N）：G1, R2, B2, G3, R4, B4, G5, R6, B6, G7, R8, B8

偶数書き込みライン

正極性のDAC出力信号（P）：B8, G1, R2, B2, G3, R4, B4, G5, R6, B6, G7, R8

負極性のDAC出力信号（N）：R1, B1, G2, R3, B3, G4, R5, B5, G6, R7, B7, G8

（B）偶数フレーム

奇数書き込みライン

正極性のDAC出力信号（P）：G1, R2, B2, G3, R4, B4, G5, R6, B6, G7, R8, B8

負極性のDAC出力信号（N）：R1, B1, G2, R3, B3, G4, R5, B5, G6, R7, B7, G8

偶数書き込みライン

正極性のDAC出力信号（P）：R1, B1, G2, R3, B3, G4, R5, B5, G6, R7, B7, G8

負極性のDAC出力信号（N）：B8, G1, R2, B2, G3, R4, B4, G5, R6, B6, G7, R8

なお、図2（A）、（B）において、右端の列電極と左端の列電極は同一配線とする。

【0029】図1は、タイミングコントローラICと各DACでの映像信号の並べ替えの手順を示す説明図である。図1（A）は奇数フレームで奇数書き込みライン、図1（B）は奇数フレームで偶数書き込みライン、図1（C）は偶数フレームで奇数書き込みライン、図1（D）は偶数フレームで偶数書き込みラインでの並べ替えをそれぞれ示している。

【0030】図1に示すように、タイミングコントローラIC160では、R、G、Bの3系統でシリアル入力された映像信号に対して、各フレームと書き込みライン

【0025】次に、上記のように構成された液晶表示装置100において、疑似HV反転駆動を行う場合の駆動方法について説明する。

【0026】図2は、本実施形態の疑似HVライン反転駆動におけるDAC出力信号と列電極との関係を示す説明図である。図2では、マトリクス状に配置された表示画素10と、その列間に配置された複数の列電極11との接続関係を示しており、各表示画素10に示されたR1、G1、B1などの記号は、書き込まれたDAC出力信号を示している。

【0027】また図2（A）は奇数フレーム、図2（B）は偶数フレームにおける各列電極11の極性を示している。正極性のDAC出力信号が供給される列電極11はP1、P2、P3…などの符号で示し、負極性のDAC出力信号が供給される列電極11はN1、N2、N3…などの符号で示している。列電極11に供給される映像信号の極性は奇数フレームと偶数フレームでそれぞれ反転され、更に、その出力順は奇数書き込みライン（1H、3H、5H、…）と、偶数書き込みライン（2H、4H、6H、…）とでそれぞれ切り替えられている。各フレームと各書き込みラインでの映像信号の出力順は以下ようになる。

【0028】

に応じた並べ替えを行っている。ここでの並べ替えは、正極性のDAC140に対して1画素単位（例えば、R1、B1、G2/R3、B3、G4/R5、B5、G6…）、また負極性のDAC150に対して1画素単位（例えば、G1、R2、B2/G3、R4、B4/G5、R6、B6…）の並べ替えとなる。この場合、合計で2画素単位で並べ替えを行えばよいので、タイミングコントローラIC160で必要なメモリは合計で2画素分となる。タイミングコントローラIC160からの出力は、正負ともにR1、R3、R5…、B1、B3、B5…、G2、G4、G6…というような3系統のシリアルなDAC入力信号となる。

【0031】次にDAC140、150では、タイミングコントローラIC160で並べ替えられた3系統のシリアルなDAC入力信号が図示しないラッチ回路で順次ラッチされ、各極性毎の出力順に応じたパラレルな映像信号に並べ替えられる。

【0032】図3は、正負のDACにおける映像信号の並べ替えの手順を示す説明図である。図3(A)は通常モード設定時、図3(B)は信号切替モード設定時での手順をそれぞれ示している。また、図3(A)、(B)において、DAC入力信号(及びDAC出力信号)を示すI01、I02、I03、I04は、例えば図1のR1、R3、R5、R7に対応している。また、S1、S2…はDAC出力ピン番号を示している。

【0033】図3(A)の通常モードでは、各入力順に映像信号の並べ替えが行われる。すなわち、各系統の入力順がI01、I02、I03…、I11、I12、I13…、I21、I22、I23…とすると、各入力順となるI01、I11、I21、I02、I12、I22…という並び替えが行われる。そして、アナログ変換されて上記のような並びのパラレルな映像信号が出力される。また、図3(B)の信号切替モードでは、通常モードと同じ各入力順に映像信号の並べ替えが行われるが、DAC入力信号に対するDAC出力信号の出力ピンの関係を1ピンシフトする処理が行われる。すなわち、DAC出力信号が本来の位置から1ピンシフトした出力ピンから出力され、I24、I01、I11、I21…という並び替えが行われることになる。

【0034】上記信号切替モードは、図1(B)の奇数フレーム、偶数書き込みラインの正極性のDAC140での並び替えと、図1(D)の偶数フレーム、偶数書き込みラインの負極性のDAC150での並び替えの際に設定される。それ以外の並び替えでは通常モードが設定される。

【0035】上述したような並べ替えの結果は、図2の各フレームの各書き込みラインに記述された通りとなる。例えば、図1(A)の奇数フレームの奇数書き込みラインでは、正極性の映像信号としてR1、B1、G2、R3…が出力され、負極性の映像信号としてG1、R2、B2…が出力される。これら正又は負極性の映像信号が列電極11に1本おきに書き込まれることで、図2(A)に示すように、R1(P1)、G1(N1)、B1(P2)、R2(N2)…というような映像信号が奇数書き込みライン(1H、3Hなど)に供給されるこ

とになる。

【0036】上記実施形態の疑似HV反転駆動によれば、映像信号の並べ替えをタイミングコントローラICだけでなく、正負のDACでも行うようにしたので、タイミングコントローラIC内のメモリの容量を大きくすることなしに、疑似HV反転駆動を実現することができる。したがって、タイミングコントローラICの消費電力の増加並びにICのチップサイズの増大によるコストアップを生じることがなく、またVライン反転駆動で問題となっていた縦ストロークを改善して、良好な表示品位を得ることが可能となる。

【0037】ちなみに、上記実施形態と同一条件において、すべての映像信号の並び替えをタイミングコントローラICで行った場合は、正負の合計で8画素単位で並べ替えを行わなければならないため、タイミングコントローラICに必要なメモリは合計で8画素分となる。これに対して本実施形態では、正負の合計で2画素単位で並び替えを行えばよいので、タイミングコントローラICに必要なメモリは合計で2画素分となり、メモリの容量を1/4とすることができる。

【0038】

【発明の効果】以上説明したように、この発明に係わる表示装置の駆動方法によれば、タイミングコントローラIC内のメモリの容量を大きくすることなしに、疑似HV反転駆動を実現することができる。この結果、コストアップを生じることなく、また縦ストロークを改善して、良好な表示品位を得ることができる。

【図面の簡単な説明】

【図1】(A)～(D)はタイミングコントローラICと各DACでの映像信号の並べ替えの手順を示す説明図。

【図2】(A)、(B)は実施形態の疑似HVライン反転駆動におけるDAC出力信号と列電極との関係を示す説明図。

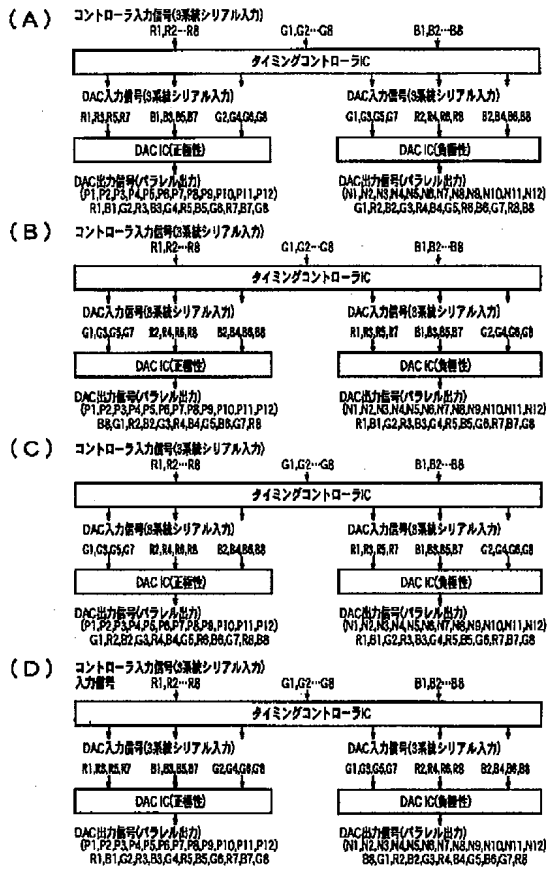
【図3】(A)、(B)は正負のDACにおける映像信号の並べ替えの手順を示す説明図。

【図4】実施形態に係わる液晶表示装置の回路構成図。

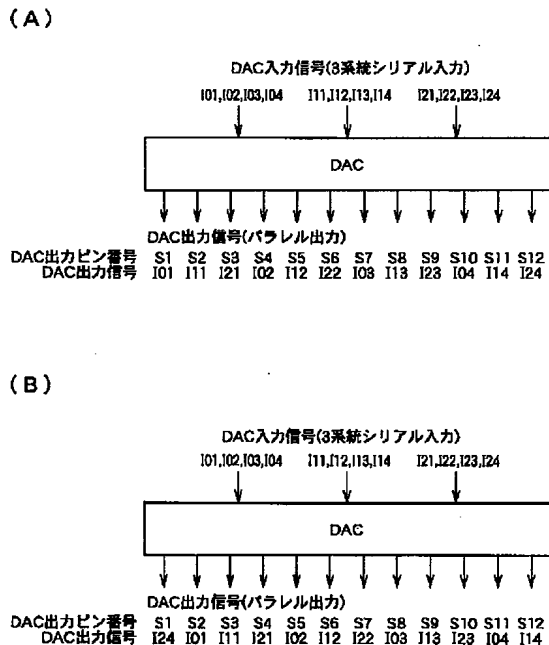
【符号の説明】

10…表示画素、11…列電極、12…行電極、100…液晶表示装置、110…表示画素部、120…行電極駆動回路、130…列電極駆動回路、140…DAC(正極性)、150…DAC(負極性)、160…タイミングコントローラIC

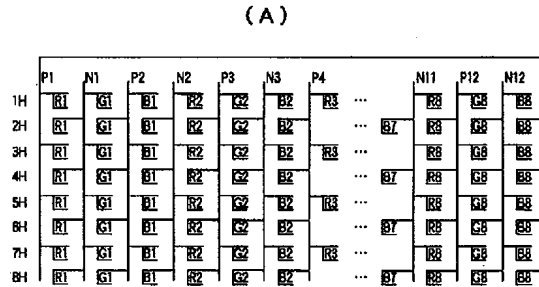
【図1】



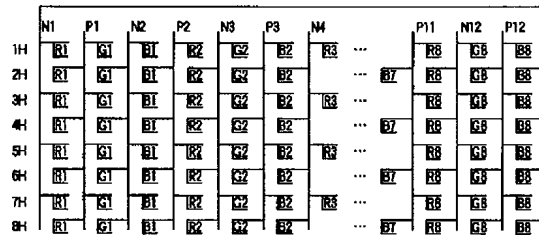
【図3】



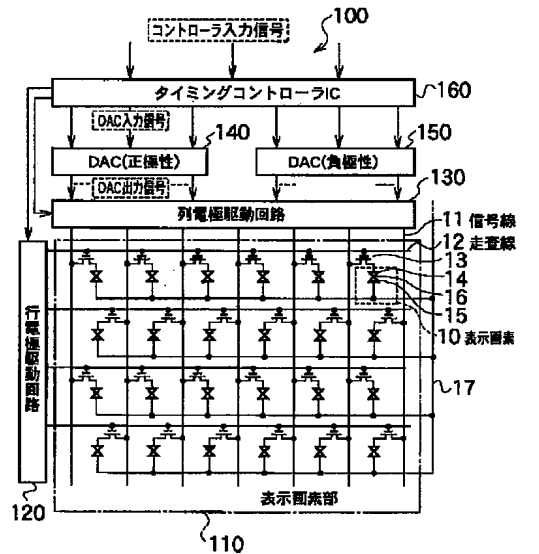
【図2】



(B)



【図4】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード (参考)
G 0 9 G 3/20	6 8 0	G 0 9 G 3/20	6 8 0 G
H 0 4 N 5/66	1 0 2	H 0 4 N 5/66	1 0 2 B

Fターム(参考) 2H093 NC22 NC24 NC34 ND15 ND39
 ND54
 5C006 AA22 AF23 AF25 AF82 BB14
 BB16 BC11 BC16 FA44 FA47
 5C058 AA06 BA01 BA26 BB25
 5C080 AA10 BB06 CC03 DD10 DD22
 DD25 DD26 FF11 JJ02 JJ06